

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Tatsuya USAMI et al.
Title: SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING SAME
Appl. No.: Unassigned
Filing Date: 01/21/2004
Examiner: Unassigned
Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
PO Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Japanese Patent Application No. 2003-024281
filed 01/31/2003.

Respectfully submitted,

Date: January 21, 2004

FOLEY & LARDNER
Customer Number: 22428
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By Phillip J. Anticola Reg. No. 38,819
for David A. Blumenthal
Attorney for Applicant
Registration No. 26,257



US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 3 1 日
Date of Application:

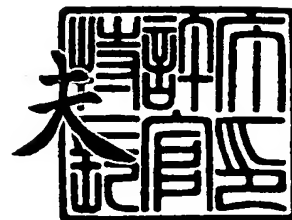
出 願 番 号 特 願 2 0 0 3 - 0 2 4 2 8 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 2 4 2 8 1]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 3 年 1 2 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 74112786

【提出日】 平成15年 1月31日

【あて先】 特許庁長官

【国際特許分類】 H01L 21/66

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

 【氏名】 宇佐美 達矢

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

 【氏名】 石上 隆司

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

 【氏名】 黒川 哲也

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

 【氏名】 小田 典明

【特許出願人】

 【識別番号】 302062931

 【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

 【識別番号】 100110928

 【弁理士】

 【氏名又は名称】 速水 進治

 【電話番号】 03-3461-3687

【手数料の表示】

【予納台帳番号】 138392

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216935

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、該半導体基板の上部に形成された梯子型水素化シロキサンを含む第一の絶縁膜と、該絶縁膜上に接して設けられた酸素を構成元素として含む第二の絶縁膜とを備えることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、前記第二の絶縁膜は、さらにシリコンを構成元素として含むことを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の半導体装置において、前記第二の膜は、 SiO_2 、 SiOC 、 SiON または SiOF のいずれかにより構成されることを特徴とする半導体装置。

【請求項 4】 請求項 1 乃至 3 いずれかに記載の半導体装置において、前記第一の絶縁膜および前記第二の絶縁膜を含む積層膜中に埋設された金属配線をさらに備えることを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 いずれかに記載の半導体装置において、ガードリングを有しないことを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 5 いずれかに記載の半導体装置において、前記梯子型水素化シロキサンは、 L-Ox （商標）であることを特徴とする半導体装置。

【請求項 7】 請求項 1 乃至 6 いずれかに記載の半導体装置において、前記梯子型水素化シロキサンは、 200°C 以上 400°C 以下で焼成された膜であることを特徴とする半導体装置。

【請求項 8】 請求項 1 乃至 7 いずれかに記載の半導体装置において、前記梯子型水素化シロキサンは、膜密度が 1.50 g/cm^3 以上 1.58 g/cm^3 以下であることを特徴とする半導体装置。

【請求項 9】 請求項 1 乃至 8 いずれかに記載の半導体装置において、前記梯子型水素化シロキサンは、波長 633 nm での膜の屈折率が 1.38 以上 1.40 以下であることを特徴とする半導体装置。

【請求項 10】 請求項 1 乃至 9 いずれかに記載の半導体装置において、ガ

ードリングを有しないことを特徴とする半導体装置。

【請求項 11】 半導体基板上に、梯子型水素化シロキサンを含む第一の絶縁膜を形成する工程と、酸素を含む原料ガスを用いたプラズマ CVD 法により、前記第一の絶縁膜に接して第二の絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 11 に記載の半導体装置の製造方法において、前記原料ガスは、 O_2 、 N_2O 、 NO 、 CO 、 CO_2 、 H_2O 、テトラエトキシシランまたはジメチルジメトキシシランを含むことを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 11 または 12 に記載の半導体装置の製造方法において、前記原料ガスは、さらにシリコン化合物を含むことを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 13 に記載の半導体装置の製造方法において、前記シリコン化合物は、 SiH_4 、モノメチルシラン、ジメチルシラン、トリメチルシラン、テトラメチルシラン、テトラエトキシシラン、ジメチルジメトキシシランまたはテトラビニルシランであることを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 11 乃至 14 いずれかに記載の半導体装置の製造方法において、前記第二の絶縁膜は、 SiO_2 、 $SiOC$ 、 $SiON$ または $SiOF$ のいずれかにより構成されることを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 11 乃至 15 いずれかに記載の半導体装置の製造方法において、前記第二の絶縁膜を形成する工程の後、さらに、前記第二の絶縁膜および前記第一の絶縁膜を含む積層膜を選択的に除去して配線溝を形成し、該配線溝中に金属を埋め込んで金属配線を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 17】 請求項 16 に記載の半導体装置の製造方法において、第一の絶縁膜を形成する前記工程で、前記梯子型水素化シロキサンを 200°C 以上 400°C 以下で焼成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低誘電率絶縁材料を用いた層間絶縁膜の密着性を改善する技術に関する。

【0 0 0 2】**【従来の技術】**

近年、半導体素子の高速動作性に対する要求に伴い、層間絶縁膜を従来のシリコン酸化膜（誘電率 $K = 4.3$ 程度）から低誘電率化した材料に変更し、配線間容量を低減する検討が精力的に行われている。低誘電率絶縁材料として、誘電率3程度のHSQ、MSQ、芳香族含有有機樹脂材料などがあり、最近では、さらに低誘電率化させるため膜中に微細な空孔（ポア）を導入したポーラス材料の開発も検討されている。このような低誘電率材料を層間絶縁膜に用いることで、配線間のクロストークを低減でき、素子の高速動作を実現することが可能となる。

【0 0 0 3】

低誘電率膜は一般に機械的特性やプラズマ耐性が充分でない。このため、配線の加工や絶縁膜の積層を行った際の損傷を防ぐ目的で低誘電率膜の表面に保護膜を設けることが多い。ところがこのような層構成とすると、低誘電率絶縁膜と保護膜との間で密着不良を生じる場合がある。

【0 0 0 4】

特許文献1には、こうした低誘電率膜の密着不良を解決する技術が開示されている。図1は同文献に従来技術として記載された配線構造の断面図である。この配線構造はシリコン窒化膜1上にMSQ膜2およびシリコン酸化膜4がこの順で積層された層間絶縁膜を備え、この層間絶縁膜中にバリアメタル膜5および銅膜6からなる銅配線が形成されている。ここで、MSQ膜2は有機材料からなるのに対しシリコン酸化膜4は無機材料からなっているため、両者の間で密着不良が生じ、極端な場合には剥離が生じることがあった。このような問題に対し、上記公報では、図2に示すようにMSQ膜2およびシリコン酸化膜4の間にMHSQ（メチル化ヒドロジェンシルセスキオキサン）膜3を設けることで密着性の向上を図っている。同公報によれば、図示した例ではMHSQ膜3が用いられているが、ほかに、分子中にSi-H基を有するポリシロキサン化合物を用いること

ができるとされており、こうした材料からなる膜を用いることにより密着性が改善される理由として、Si-H基が脱水素化して反応活性部位が発生され、上部および下部の絶縁膜と反応を起こすことによるものと推察される、と記載されている。

【0005】

ところが、上記文献記載の技術は、密着性以外の点で、なお改善の余地を有していた。まず、図1記載の層構成は、素子中に水分が侵入しやすいという課題があった。この原因は必ずしも明らかではないが、CVD法によるシリコン酸化膜4の成膜過程でMSQ膜2の表面が変質し、吸湿しやすい層が形成されることによるものと推定される。また、図2記載の層構成では、層間絶縁膜の誘電率が上昇してしまうことがあった。分子中にSi-H基を有するポリシロキサン化合物は、プラズマ中に曝されるとその誘電率が上昇する傾向がある。図2記載の層構成では、CVD法によるシリコン酸化膜4の成膜過程でSi-H基を有するポリシロキサン化合物からなる膜の表面が変質し、誘電率が上昇するものと推察される。

【0006】

一方、特許文献2には、水素化シルセスキオキサン類からなるSOG膜上に、プラズマCVD法によるシリコン酸化膜を積層した構成が記載されている。こうすることにより、SOG膜を含む層間絶縁膜の応力が緩和され、クラックの発生を抑制できることが記載されている。

【0007】

この構成においても、層間絶縁膜の誘電率が上昇してしまう場合があった。後述するように、水素化シルセスキオキサンは一般に図3に示すようなかご型の分子構造をとるが、この分子構造中の水素が容易に脱離し、その誘電率が上昇する傾向が強い。上記文献記載の層構成では、水素化シルセスキオキサンがシリコン酸化膜の成膜過程でプラズマ中に曝され、その誘電率が上昇するものと推定される。

【0008】

ところで、層間絶縁膜へ水分が侵入することによる性能劣化を抑制するための

方法として、通常、ガードリングを設ける方法が利用される。特許文献 3 および特許文献 4 には、ガードリングを設けた半導体素子が開示されている。半導体素子中のガードリングは、半導体チップや特定パターンの保護を目的として半導体チップ又は特定パターンを囲むように形成され、半導体素子への水分の浸入を抑制し、その動作を安定させる役割を果たす。半導体素子内に水分が入り込むと、金属配線を腐食させたり、水分によって素子の特性が変化したりして、素子の信頼性が著しく低下する。そのため、特許文献 3 の段落 0 0 0 2 に記載されているように、ガードリングの形成は必須の構成要素であるとされている。

【0 0 0 9】

ガードリングは、半導体素子に対する製造工程中にビットラインコンタクトホールを形成し、その部分にガードリング形成物質を埋め込むことによって形成される。あるいは、ビットラインコンタクトホールに代え、ノードコンタクトホール、メタルコンタクトホールおよびビアコンタクトホールを形成した後、それらのコンタクトホール内にガードリング形成物質を埋め込むことによって形成してもよい。さらには、上記のようなコンタクトホールの周辺にダミーコンタクトホールを形成した後、ダミーコンタクトホール内にガードリング形成物質を埋め込むことによって形成することもできる。しかし、このようなガードリングを設けた場合、素子を形成することのできる面積が狭くなるため、素子の高集積化の阻害要因となる。

【0 0 1 0】

【特許文献 1】

特開 2 0 0 1 - 3 2 6 2 2 2 号公報

【特許文献 2】

特開平 7 - 2 4 0 4 6 0 号公報

【特許文献 3】

特開平 1 0 - 1 9 9 8 8 3 号公報 段落 0 0 0 2、0 0 0 3

【特許文献 4】

特開 2 0 0 2 - 1 3 4 5 0 6 号公報

【0 0 1 1】

【発明が解決しようとする課題】

本発明は上記事情に鑑みなされたものであって、吸湿による半導体素子の信頼性を良好に維持しつつ絶縁膜の実効誘電率を低減することを目的とする。

【0012】

【課題を解決するための手段】

本発明によれば、半導体基板と、該半導体基板の上部に形成された梯子型水素化シロキサンを含む第一の絶縁膜と、該絶縁膜上に接して設けられた酸素を構成元素として含む第二の絶縁膜とを備えることを特徴とする半導体装置が提供される。

【0013】

また、本発明によれば、半導体基板上に、梯子型水素化シロキサンを含む第一の絶縁膜を形成する工程と、酸素を含む原料ガスを用いたプラズマCVD法により、前記第一の絶縁膜に接して第二の絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0014】

MSQ等の炭素を含有する低誘電率膜は、その上に酸素を含む絶縁膜を成膜した場合、その成膜過程で低誘電率膜の損傷が起こるものと考えられる。本発明では、梯子型水素化シロキサンを用いているため、酸素を含む絶縁膜の成膜過程による劣化が有効に抑制され、層間絶縁膜の密着性が向上するものと考えられる。

【0015】

本発明において、第二の絶縁膜は、さらにシリコンを構成元素として含む構成とすることができる。たとえば SiO_2 、 SiOC 、 SiON または SiOF のいずれかにより構成される膜とすることができる。こうした膜は、酸素およびシリコン化合物を含む原料ガスを用いたプラズマCVD法により好適に形成することができる。

【0016】

本発明において、第一の絶縁膜および前記第二の絶縁膜を含む積層膜中に埋設された金属配線をさらに備える構成とすることができる。上記製造方法において、第二の絶縁膜を形成する工程の後、さらに、第二の絶縁膜および第一の絶縁膜

を選択的に除去して配線溝を形成し、該配線溝中に金属を埋め込んで金属配線を形成してもよい。また、半導体基板上にトランジスタ等の半導体素子が形成されていてもよい。本発明によれば、梯子型水素化シロキサンを用いた層間絶縁膜により水分の浸入を効果的に抑制できるため、金属配線の劣化を防ぎ、トランジスタの動作を安定にすることができる。本発明によれば、層間絶縁膜の特性により水分の浸入を有効に抑制できるため、ガードリングを有しない構成とすることができる。すなわち、半導体素子の集積度を良好に維持しつつ素子の信頼性を向上させることが可能となる。

【0017】

【発明の実施の形態】

本発明における第一の膜は、梯子型水素化シロキサンを含む。梯子型水素化シロキサンとは梯子型の分子構造を有するポリマーであり、配線遅延防止の観点から誘電率 2.9 以下のものが好ましく、また膜密度が低いものが好ましい。たとえば、膜密度が 1.50 g/cm^3 以上 1.58 g/cm^3 以下、 633 nm の屈折率が 1.38 以上 1.40 以下であることが好ましい。こうした膜材料の具体例として L-Ox （商標）等を例示することができる。

【0018】

図 4 に梯子型水素化シロキサン構造を有する L-Ox （商標）の構造を示す。図中、 n は 1 以上の正の数である。このような構造を有する L-Ox の物性データを図 5 に示す。

【0019】

L-Ox が図 4 の構造を有することは、図 6 に示す FT-IR の観測結果により確認されている。図 6 のチャートで特徴的なのは、約 830 cm^{-1} に現れるシャープな Si-H 結合であり、このスペクトルの急峻さが、 L-Ox が 2 次元構造を有することを示唆している。また 870 cm^{-1} 付近の高波数側にもうひとつの Si-H 結合のピークと想定されるものが極端に小さくなっており、このことも測定対象物質が 2 次元構造を有していることを示すものと考えられる。

【0020】

L-Ox は焼成温度によっても物性が変動する。このことを図 7 に基づいて説

明する。

【0021】

窒素等の不活性ガス雰囲気中で200℃以上400℃以下で焼成した $L-O_x$ は、以下のような特性を有している。図7中、 $R.I.$ は633nmの波長での屈折率を示す。屈折率は誘電率に直接影響するパラメータであり、この値は、1.38～1.40の間で推移する。200℃未満の温度および400℃よりも高い温度では1.40を超える値を示した。

【0022】

また、密度は、200℃以上400℃以下で焼成した $L-O_x$ は1.50～1.58 g/cm³を示した。400℃を超える温度では、1.60 g/cm³を超える値を示した。200℃未満では測定できなかった。

【0023】

また200℃未満では、FTIRスペクトルより、約3650 cm⁻¹に現れるSi-OH（シラノール）と想定される結合が観測された。400℃をこえる焼成温度では、密度の上昇が顕著となる。

【0024】

以上のことから、 $L-O_x$ を含む絶縁膜の成膜の際、200℃以上400℃以下の雰囲気温度で焼成することにより、低誘電率の優れた特性の $L-O_x$ が安定的に得られることがわかる。

【0025】

図3は、従来知られている3次元的な構造をもつ水素化シルセスキオキサン構造のHSQ (Hydrogen Silsesquioxane)の分子骨格を示す（「semiconductor technology outlook 1998年：p. 431-435」より引用。）。

【0026】

上記した2つの構造の材料は、製造プロセスにおける膜安定性が大きく相違し、 $L-O_x$ の方が顕著に優れた膜安定性を示す。これは、HSQに比べて $L-O_x$ の方が、Si-H減少量が少ないことによるものと考えられる。また、水素原子の結合の態様が異なることも原因となっているものと考えられる。すなわち、HSQにおいては、その立方体構造の角部分に水素原子が結合しているのに対し

、 $L-O_x$ では、梯子構造の側面に水素原子が結合している。したがって、 HSQ の方が水素原子の周りの密度が低く、 HSQ の水素結合は $L-O_x$ に比較し反応性に富む構造となっているものと考えられる。

【0027】

次に、シリコン基板上に低誘電率膜を設けたサンプルと、さらにその上にキャップ膜として SiO_2 膜を設けたサンプルを作製し、両者の誘電率を比較した結果を示す。低誘電率膜は、 $L-O_x$ と HSQ （ハイドロジェンシルセスキオキサン）の2種類とした。サンプルの構造は図8に示したとおりである。サンプル各部の厚みは以下の通りである。

低誘電率膜（図中、「low-k」と表示） $0.3\ \mu m$ 、

SiO_2 膜 $0.1\ \mu m$

【0028】

キャップ膜のある場合とない場合のlow-k膜単体の誘電率の比較をしたところ、 HSQ ではキャップの有無により誘電率が2.9から3.5へと変化したのに対し、 $L-O_x$ はキャップの有無により誘電率があまり変化しなかった。

本発明において、さらなる低誘電率化のために、梯子型水素化シロキサン膜として、ポーラス梯子型水素化シロキサン膜を用いることができる。ポーラス梯子型水素化シロキサンは、テンプレート法を用いて形成することができる。梯子型水素化シロキサンの溶液に有機ポリマーで構成されるポロジェンを溶かし、約200℃での焼成にて、水素化シロキサン骨格が形成され、300℃程度で有機ポリマーが分解し、350℃焼成で焼成が十分に行われ、その部分にポアが形成されポーラス膜が形成される。これがポーラス梯子型水素化シロキサン膜であり、ポロジェンの導入量により現状最下限で比誘電率2.2程度が実現できる。膜の製造安定度から考え $k=2.4\sim 2.6$ 程度のものが最適であり、ここではこれをポーラス $L-O_x$ とよぶ。

ポーラス $L-O_x$ のFTIRスペクトル上は、 $L-O_x$ とはスペクトル形状は同じものが得られるが膜強度は膜密度に伴って小さくなった。

前記と同様にシリコン基板上に低誘電率膜を設けたサンプルと、さらにその上にキャップ膜として SiO_2 膜を設けたサンプルのlow-kの誘電率比較をこ

のポーラス L-Ox 膜 $k=2.4$ で実施したところ、キャップ無しでの誘電率が 2.4 であり、キャップ有りの場合の $\text{Low-}k$ 単体部の誘電率が 2.5 程度であり、あまり大きな誘電率の上昇は確認されなかった。

【0029】

次に、本発明の好ましい実施の形態について、図面を参照して説明する。

【0030】

第一の実施の形態

図9は本実施形態に係る半導体装置の製造工程を示す断面図である。

【0031】

本実施の形態に係る半導体装置の製造方法では、半導体素子を形成した基板（不図示）上に下地絶縁膜201を設け、その上に、配線溝形成時のエッチングストッパー膜となる SiCN 膜202をプラズマCVD法により 50 nm 成膜する。次に、と不法により L-Ox 膜203を 300 nm 成膜し、 400°C の焼成を N_2 雰囲気で行う。つづいて、プラズマCVD法により SiO_2 膜204を 100 nm 成膜する（図9（a））。 SiO_2 膜204の成膜は、原料ガスとして、 SiH_4 および N_2O を用い、流量をそれぞれ、 $200\sim300\text{ sccm}$ 、 $3500\sim4000\text{ sccm}$ とした。

【0032】

その後、不図示のレジストマスクを用いて SiO_2 膜204と L-Ox 膜203を選択的にドライエッチングし、配線溝207を形成する（図9（b））。

【0033】

次に、 SiCN を除去するため、全面エッチバックを行う。その後、バリアメタルとして Ta/TaN 膜208（上層が Ta 、下層が Ta N の積層膜。以下同様。）を 30 nm スパッタリング法により成膜した後、その上にシード層となる Cu 膜をスパッタリング法により成膜する。その後、配線溝207を埋め込むように、電解メッキ法により Cu 膜209を成膜する（図9（c））。この Cu 膜209を N_2 雰囲気で行う 400°C 、30分間アニールし、結晶化させる。次に、 SiO_2 膜204上の Cu 膜209および Ta/TaN 膜208をCMPにより除去して配線溝207外部の銅を除去する。CMPは、 SiO_2 膜204表面が露

出するまで行う。これにより銅配線が形成される（図 9（d））。

【0034】

図 9（d）の後、さらに、層間絶縁膜を形成し、多層配線構造とすることができる。また、図では単一の銅配線の断面のみを示したが、他の領域に複数の配線を同時に設けてもよい。

【0035】

本実施形態により得られる銅配線構造は、銅配線と同層に形成される配線間絶縁膜が L-Ox 膜 203 および SiO₂ 膜 204 により形成されている。L-Ox 膜 203 の誘電率は、2.9 程度の値を安定的に示す。このため、図示した銅配線と、不図示の隣接する銅配線との間のクロストークが効果的に抑制される。また、前述したように、梯子型水素化シロキサン構造を有するため膜厚や膜特性が安定であり、製造プロセス中に膜質が変化することが少ない。このため、本実施形態によれば、設計通りの素子を製造安定性良く作製することができる。一方、SiO₂ 膜 204 は L-Ox 膜 203 に比べて CMP 耐性等に優れるため、保護膜として機能する。具体的には、SiO₂ 膜 204 は、銅配線形成時の CMP 工程における配線間絶縁膜の損傷を抑制する役割を果たす。また、L-Ox 膜 203 と SiO₂ 膜 204 との間の密着性は良好であり、水分の浸入を十分に抑制することができる。以上のことから、本実施形態の構成によれば、高性能で信頼性の高い配線構造を実現することができる。

【0036】

第二の実施の形態

本実施形態は、シングルダマシン構造の二層銅配線に本発明を適用した例である。図 10 は本実施の形態に係る半導体装置の構造を示す断面図である。本実施の形態に係る半導体装置は、Cu 膜 209 からなる下層配線が銅プラグ 228 を介して、Cu 膜 223 からなる上層配線に接続された構成を有している。

【0037】

Cu 膜 209 からなる下層配線は、下地絶縁膜 201、SiCN 膜 202、L-Ox 膜 203 および SiO₂ 膜 204 からなる積層膜中に形成されている。Cu 膜 209 の側面と底面は Ta/TaN 膜 208 に覆われている。

【 0 0 3 8 】

銅プラグ 2 2 8 は、S i C N 膜 2 1 1 および S i O₂ 膜 2 1 2 からなる積層膜に形成された孔部に設けられており、その側面と底面は T a / T a N 膜 2 2 6 に覆われている。

【 0 0 3 9 】

C u 膜 2 2 3 からなる上層配線は、S i C N 膜 2 1 3、L - O_x 膜 2 1 6 および S i O₂ 膜 2 1 7 からなる積層膜に形成されている。C u 膜 2 0 9 の側面と底面は T a / T a N 膜 2 2 0 に覆われ、その上面を覆うように S i C N 膜 2 2 2 が形成されている。

【 0 0 4 0 】

次に、本実施の形態に係る半導体装置の製造方法について説明する。図 1 1 ～ 図 1 4 は本実施形態に係る半導体装置の製造工程を示す断面図である。本実施形態において、L - O_x 膜およびその上に形成される S i O₂ 膜は、第一の実施の形態と同様の条件で成膜される。

【 0 0 4 1 】

本実施形態では、まず、第一の実施の形態と同様にして C u 膜 2 0 9 からなる下層配線を形成する。次に、S i C N 膜 2 1 1、S i O₂ 膜 2 1 2 を順に形成する（図 1 1 (a) ）。

【 0 0 4 2 】

つづいて S i O₂ 膜 2 1 2 上に反射防止膜 2 5 0 とフォトレジスト 2 1 4 を塗布し、フォトリソグラフィ技術を用いて、フォトレジスト 2 1 4 に開口部を設ける（図 1 1 (b) ）。

【 0 0 4 3 】

このフォトレジスト 2 1 4 を用いて S i O₂ 膜 2 1 2 をエッチングし、ビアパターンを形成する。その後、アッシングを行い、フォトレジスト 2 1 4 と反射防止膜 2 5 0 を除去する（図 1 1 (c) ）。次に、ビア底の S i C N 膜 2 1 1 をエッチバックし、つづいて剥離液によりエッチング残渣を除去する（図 1 1 (d) ）。

【 0 0 4 4 】

その後、スパッタリング法により、膜厚 30 nm の Ta/TaN 膜 226 を成膜し、この上にシード用の Cu 膜（不図示）を形成した後、電解メッキ法により Cu 膜 227 を 700 nm 成膜し、ビアパターンに埋め込む。その後、結晶化のために 400℃ の熱処理を行う（図 12（e））。

【0045】

次に、SiO₂ 膜 212 上の Cu 膜 227 および Ta/TaN 膜 226 を CMP により除去し、銅プラグ 228 を形成する（図 12（f））。

【0046】

次に、この銅プラグ 228 上に、Cu 拡散防止膜となる SiCN 膜 213 を 50 nm 成膜する（図 12（g））。

【0047】

つづいて、その上に L-Ox 膜 216 を 300 nm 塗布・焼成した後、その上に SiO₂ 膜 217 を 100 nm 成膜する。

【0048】

次に、反射防止膜 250 とフォトレジスト 218 を塗布し、フォトリソグラフィ技術を用いてフォトレジスト 218 に開口部を設ける（図 13（h））。このフォトレジスト 218 をマスクとして、SiO₂ 膜 217 と L-Ox 膜 216 をエッチングし、次いでアッシングによりフォトレジスト 218 と反射防止膜 250 を除去する。つづいて、エッチバックにより配線溝底部の SiCN 膜 213 を除去した後、剥離液によりエッチング残渣を除去する（図 13（i））。

【0049】

その後、スパッタリング法により、Ta/TaN 膜 220 を 30 nm 成膜し、Ta/TaN 膜 220 の上にシード用の Cu 膜（不図示）を 100 nm 成膜する。その上に、電解メッキ法により Cu 膜 221 を 700 nm 成膜した後、SiO₂ 膜 217 の表面が露出するまで CMP を行う。これにより上部配線が形成される（図 14（j））。

【0050】

次に、Cu 拡散防止膜として SiCN 膜 222 を膜厚 50 nm で成膜する（図 14（k））。

【0051】

本実施形態では、層間絶縁膜が $L-O_x$ 膜および SiO_2 膜により形成されている。 $L-O_x$ 膜の誘電率は、2.9程度の値を安定的に示す。このため、図示した銅配線と、不図示の隣接する銅配線との間のクロストークが効果的に抑制される。また、前述したように、梯子型水素化シロキサン構造を有するため膜厚や膜特性が安定であり、製造プロセス中に膜質が変化することが少ない。このため、本実施形態によれば、設計通りの素子を製造安定性良く作製することができる。一方、 SiO_2 膜は $L-O_x$ 膜に比べてCMP耐性等に優れるため、保護膜として機能する。具体的には、 SiO_2 膜(204、217)は、銅配線形成時のCMP工程における配線間絶縁膜の損傷を抑制する役割を果たす。また、 $L-O_x$ 膜と SiO_2 膜との間の密着性は良好であり、水分の浸入を十分に抑制することができる。以上のことから、本実施形態の構成によれば、高性能で信頼性の高い配線構造を実現することができる。

【0052】

以上、実施の形態に基づいて本発明を説明したが、これらは例示であり、その構成やプロセスを適宜変更することができる。

【0053】

たとえば、上記実施の形態では銅配線を用いたが、配線中にAl、Ag(銀)、W(タングステン)、Mg(マグネシウム)、Be(ベリリウム)、Zn(亜鉛)、Pc(パラジウム)、Cd(カドミウム)、Au(金)、Hg(水銀)、Pt(白金)、Zr(ジルコニウム)、Ti(チタン)、Sn(スズ)、Ni(ニッケル)、Nd(ネオジウム)およびFe(鉄)といった異種元素のうち少なくとも一つと合金を形成した銅合金配線とすることもできる。

【0054】

また上記実施の形態ではバリアメタルにTa/TaN膜を用いたが、バリアメタルは、Ti、TiN、TiSiN、Ta、TaN、およびTaSiNのうち少なくとも一つ有する構成とすることもできる。

【0055】

【実施例】

実施例 1

本実施例では、層間絶縁膜として L-Ox および SiOC を用いた配線構造について PCT (Pressure Cooker Test; プレッシャークッカーテスト) を行い、吸湿性の評価を行った。評価サンプルの構造を図 15 に示す。このサンプルは、 Low-k 膜を含んだ Cu のシングルダマシン構造を有しており、下層銅配線および上層銅配線が銅からなるビアプラグを介して接続した構造となっている。基板はシリコン基板を用い、ストッパーおよびバリア絶縁膜は SiC 系膜を用いた。またカバー膜は、 SiON/SiO_2 (上層が SiON 、下層が SiO_2) の 2 層構造とした。カバー膜を設けているため、配線構造上面からの水分の侵入は抑制されている。

【0056】

層間絶縁膜は、配線部およびビア部とも Low-k 膜を用いた。 Low-k 膜として、(i)無機シロキサン材料の塗布膜である L-Ox および(ii)平行平板型プラズマ CVD 装置を用いた CVD- SiOC 膜の 2 水準を用い、2 種類のサンプルをそれぞれ 3 個ずつ作製した。 Low-k 上のハードマスクは、平行平板型 CVD 装置による SiH_4 と N_2O ガスを用いた SiO_2 膜を使用した。加速試験のためサンプルはダイシング後のものを使用した。

【0057】

上記 2 種類のサンプルについて、それぞれサンプルを 3 個ずつ用意し、PCT (125℃、100% HUMIDITY、96 h、2 気圧) 前後の配線間容量データ変化を測定した。配線間容量とは、同層配線間容量を意味し、ここでは、上層配線における配線間のスペース間隔 0.14 μm の配線間を測定した。

【0058】

図 16 は、PCT 前を 100% として、その後の容量比を測定したデータである。 L-Ox を使用したサンプルでは PCT 前後で値の変化は認められなかったが、 SiOC を用いたものは、3 枚とも約 20% の配線間容量の増加となり、96 h ですでに吸湿がチップ内部に起こっていることが推測される。

【0059】

SiOC を用いたサンプルについて、光学顕微鏡を用いて PCT 後の外観観察

を行ったところ、気泡のような外観不良が観測された。この状態を図17に示す。この気泡は、水分の侵入により生じたものであり、SiOCを用いたサンプルではチップ内部に水が浸入しているものと考えられる。一方、 L-O_x を使用したサンプルでは、外観の異常は認められなかった。

【0060】

実施例2

本実施例では、シリコン基板上に種々の絶縁膜材料を用いて積層膜を設け、PCTにより吸湿性を評価した。サンプルは、シリコン基板に2種類の絶縁膜を積層し、その上にSiON/SiO₂（上層がSiON、下層がSiO₂）からなるカバー膜を設けた構造とした。SiO₂膜は、平行平板型CVD装置により、SiH₄とN₂Oガスを用いて成膜した。

【0061】

2種類の絶縁膜の構成とは図18に示したとおりである。図18中、「SiO₂①」は、プラズマCVD法により形成したシリコン酸化膜であり、「SiO₂②」は、プラズマCVD法により形成したシリコン酸化膜の成膜前にHeプラズマ処理したものである。「SiCN (CMP)」とは、下層の絶縁膜に対してメタルCMPを実施した後、SiCNを成膜したものである。

【0062】

たとえば図18(a)においてSiOCを選択し、上層膜としてSiO₂①を選択した場合、このサンプルの層構造は、上部から下部（基板側）に向かって、SiON/SiO₂/SiO₂①/SiOC/シリコン基板となる。また、図18(b)においてSiOCを選択した場合、このサンプルの層構造は、SiON/SiO₂/SiCN/SiOC/シリコン基板となる。

【0063】

評価の結果、SiOCやポリフェニレンを用いた場合、その上部にSiO₂膜を設けるとPCTの結果が不良になった（図18(a)）。これは、SiOCやポリフェニレンの上部にSiO₂膜を成膜する際、SiOC等の表面が酸素プラズマに曝され、有機成分が分解して吸湿しやすい表面層が形成されることによるものと推定される。また、下層膜としてSiCNを設け、その上にSiOCやポ

リフェニレンを設けた場合も PCT 特性が不良となることが明らかになった。これは、SiOC やポリフェニレン上にカバー膜下層の SiO₂ が接しており、結局、上層の SiO₂ 形成時に酸素プラズマに曝されることが原因と考えられる。

【0064】

一方、L-O_x を用いた場合は、上層膜や下層膜の種類によらず良好な PCT 特性が得られた。L-O_x は、その特異な分子構造により、L-O_x 膜自体が優れた膜特性を有するだけでなく、他の膜との密着性やプラズマ耐性の点でも優れた特性を発揮する。このため、良好な結果が得られたものと考えられる。

またポーラス L-O_x (k = 2.4) とは誘電率 2.4 のポーラス L-O_x のことであるがこの場合も上層膜や下層膜の種類によらず良好な PCT 特性が得られた。前記密着性、プラズマ耐性に加え L-O_x も、ポーラス L-O_x も有機成分が入っていないことも良好な結果が得られた原因であると考えられる。

【0065】

なお、SiO₂ 膜を設けた場合も良好な PCT 特性が得られたが、この場合は層間絶縁膜の誘電率が高くなり、実用上、この点が問題となる。

【0066】

ここでは、SiO₂ の例を示したが、酸素元素を含む SiOC (正確な組成は SiOCH)、SiON (正確な組成は SiONH) および SiOF でも同様の結果が得られる。

【0067】

また、SiO₂ 成膜ガス中の酸化ガスとして N₂O ガスを用いた例を示したが、その他の酸素を含む原料ガスである、O₂、N₂O、NO、CO、CO₂、H₂O、テトラエトキシシランまたはジメチルジメトキシシランを用いても良い。

【0068】

また、SiO₂ 成膜ガスに含まれるシリコン化合物として、SiH₄ を用いた例を示したが、モノメチルシラン、ジメチルシラン、トリメチルシラン、テトラメチルシラン、テトラエトキシシラン、ジメチルジメトキシシランまたはテトラビニルシランを用いても良い。

【0069】

【発明の効果】

以上説明したように本発明によれば、吸湿による半導体素子の信頼性を良好に維持しつつ絶縁膜の実効誘電率を低減することができる。

【図面の簡単な説明】**【図 1】**

従来の配線構造の一例を示す図である。

【図 2】

従来の配線構造の一例を示す図である。

【図 3】

HSQ の分子骨格を示す図である。

【図 4】

梯子型水素化シロキサン構造を有する L-O_x (商標) の構造を示す図である。

【図 5】

L-O_x (商標) の物性データを示す図である。

【図 6】

L-O_x の IR スペクトルを示す図である。

【図 7】

L-O_x の屈折率および密度の焼成条件依存性を示す図である。

【図 8】

誘電率の測定結果を示す図である。

【図 9】

実施の形態における銅配線形成プロセスを示す工程断面図である。

【図 10】

実施の形態における銅配線形成プロセスを示す工程断面図である。

【図 11】

実施の形態における銅配線形成プロセスを示す工程断面図である。

【図 12】

実施の形態における銅配線形成プロセスを示す工程断面図である。

【図 1 3】

実施の形態における銅配線形成プロセスを示す工程断面図である。

【図 1 4】

実施の形態における銅配線形成プロセスを示す工程断面図である。

【図 1 5】

実施例で評価した銅配線構造の概略図である。

【図 1 6】

プレッシャークッカーテストの評価結果を示す図である。

【図 1 7】

プレッシャークッカーテスト実施後の膜のふくれを顕微鏡観察した図である。

【図 1 8】

プレッシャークッカーテストの評価結果を示す図である。

【符号の説明】

- 2 0 1 下地絶縁膜
- 2 0 2 S i C N 膜
- 2 0 3 L - O x 膜
- 2 0 4 S i O ₂ 膜
- 2 0 7 配線溝
- 2 0 8 T a / T a N 膜
- 2 0 9 C u 膜
- 2 1 1 S i C N 膜
- 2 1 2 S i O ₂ 膜
- 2 1 3 S i C N 膜
- 2 1 4 フォトレジスト
- 2 1 6 L - O x 膜
- 2 1 7 S i O ₂ 膜
- 2 1 8 フォトレジスト
- 2 2 0 T a / T a N 膜
- 2 2 1 C u 膜

2 2 2 S i C N 膜

2 2 3 C u 膜

2 2 6 T a / T a N 膜

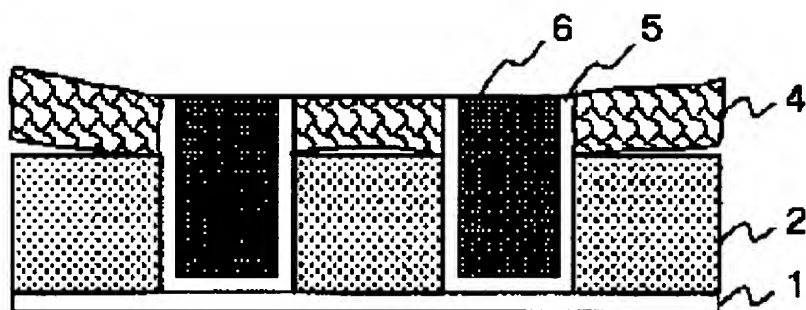
2 2 7 C u 膜

2 2 8 銅プラグ

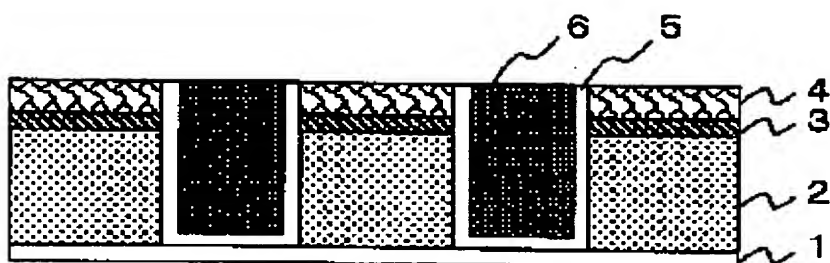
2 5 0 反射防止膜

【書類名】 図面

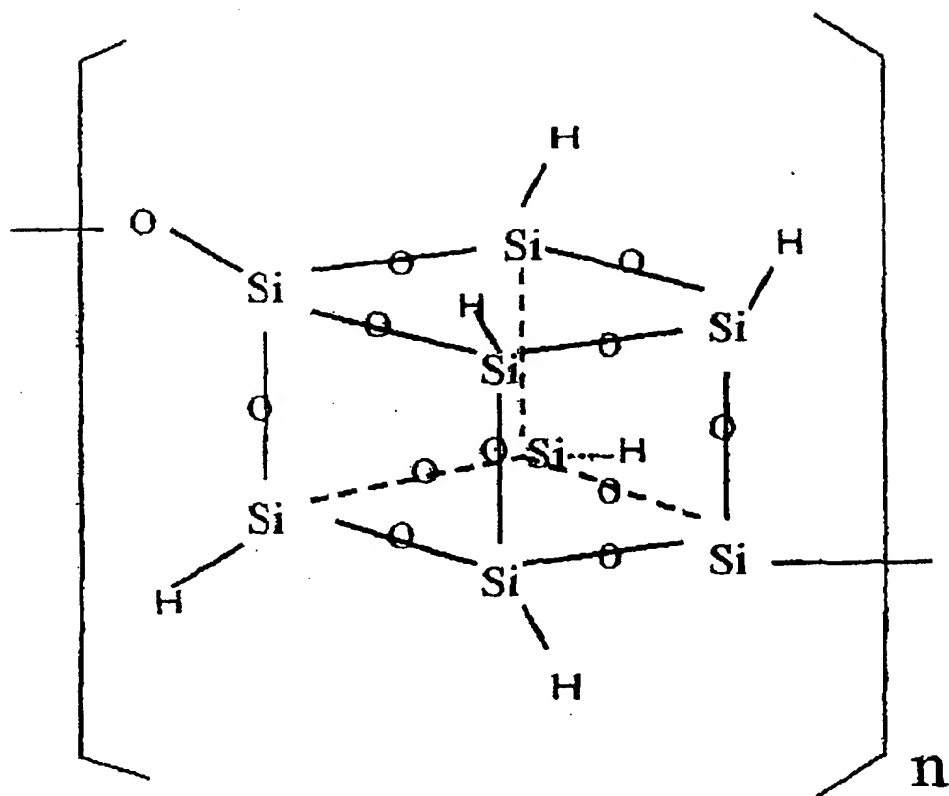
【図 1】



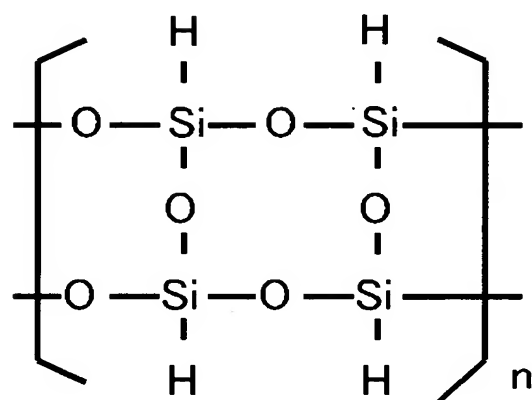
【図 2】



【図 3】



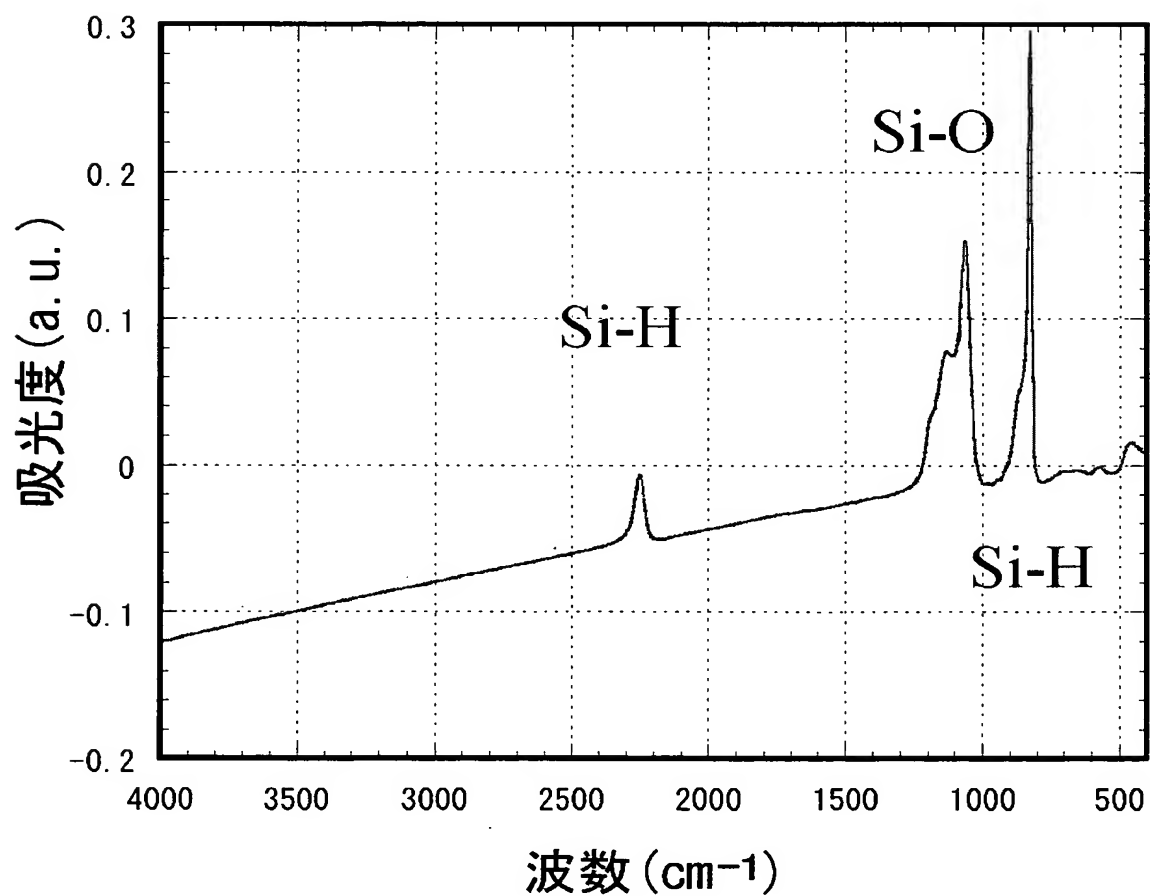
【図 4】



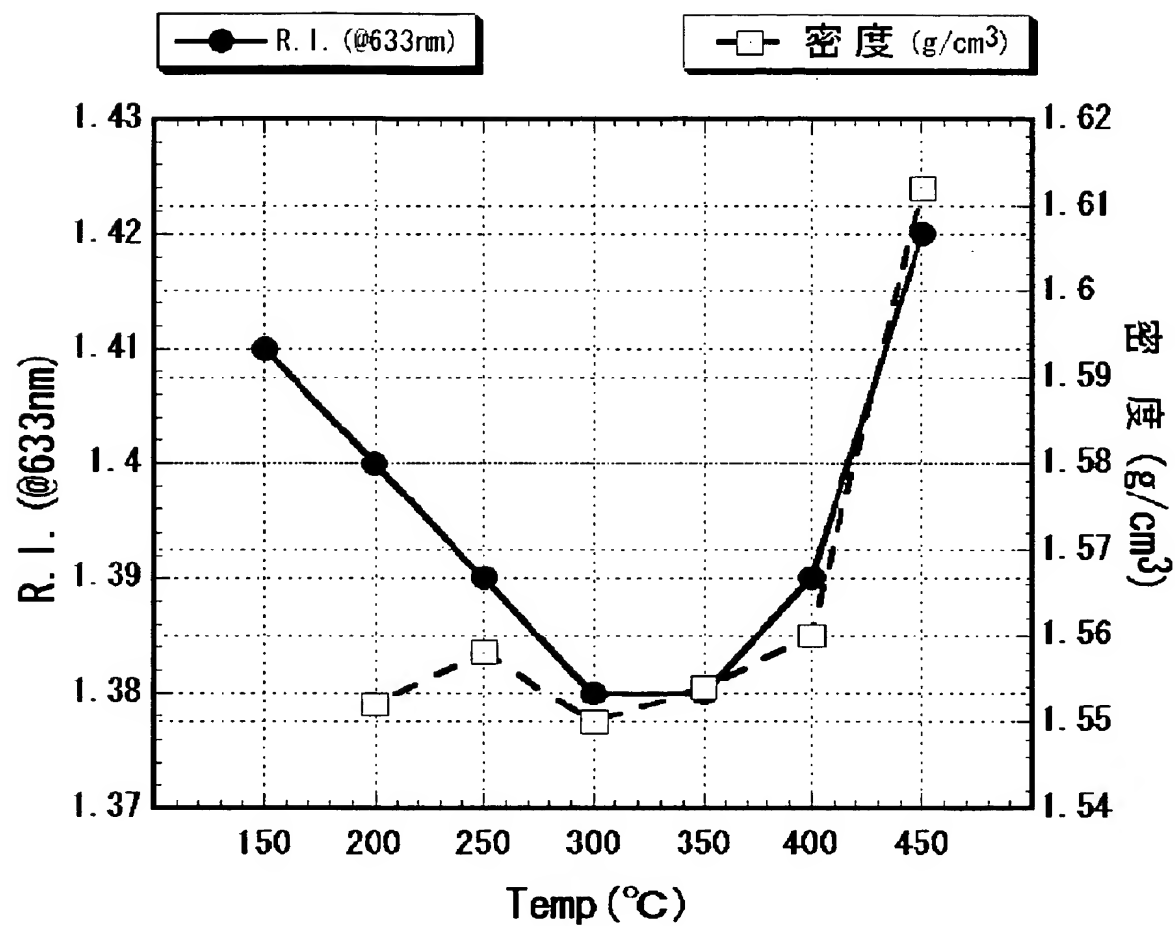
【図 5】

誘電率 (@1MHz)	2.9
屈折率 (@633nm)	1.39
応力 (dyne/cm ²)	7.00E+08
硬度 (Gpa)	0.9
弾性率 (Gpa)	6
熱膨張係数 (ppm/deg-C)	18
ガラス転位温度 (deg-C)	none
熱伝導率 (W/mk@25 deg-C)	0.31

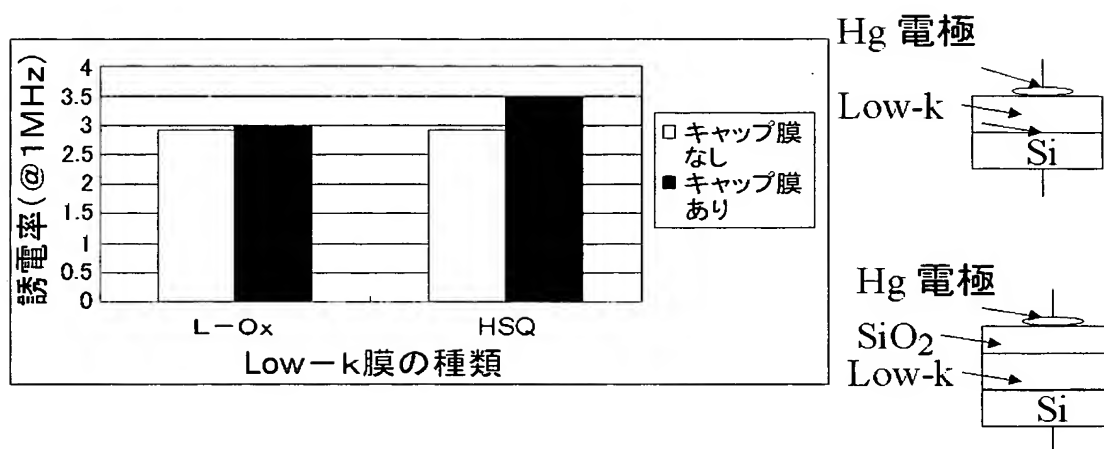
【図 6】



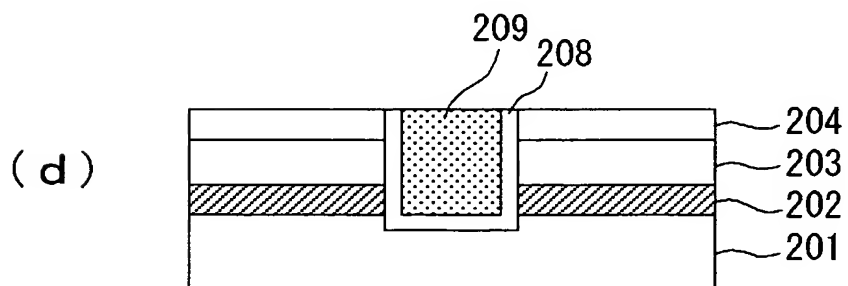
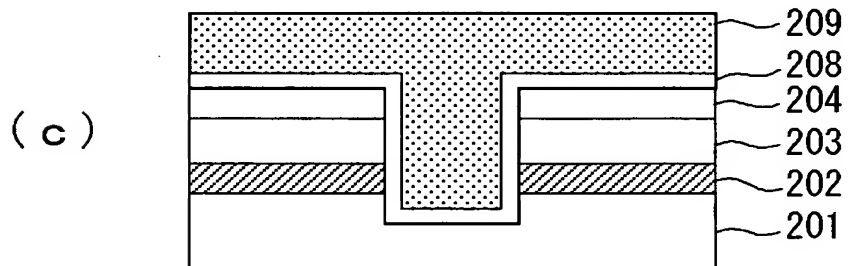
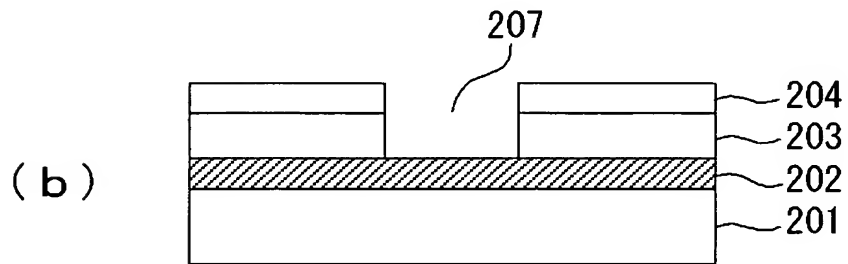
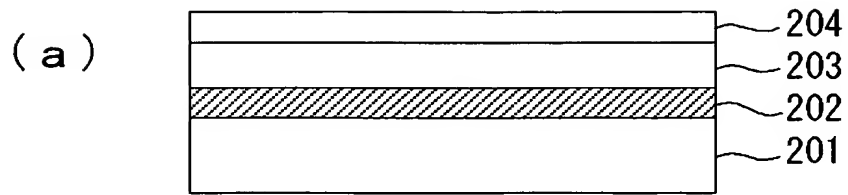
【図 7】



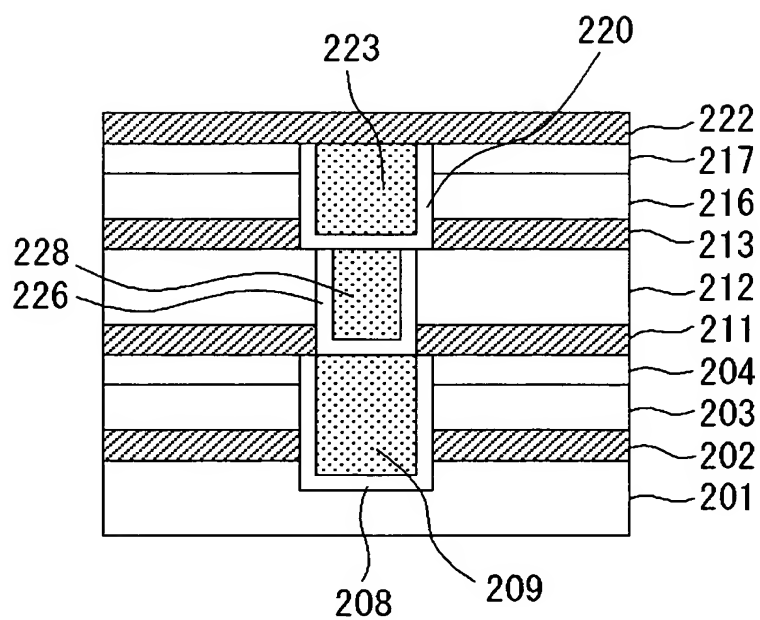
【図 8】



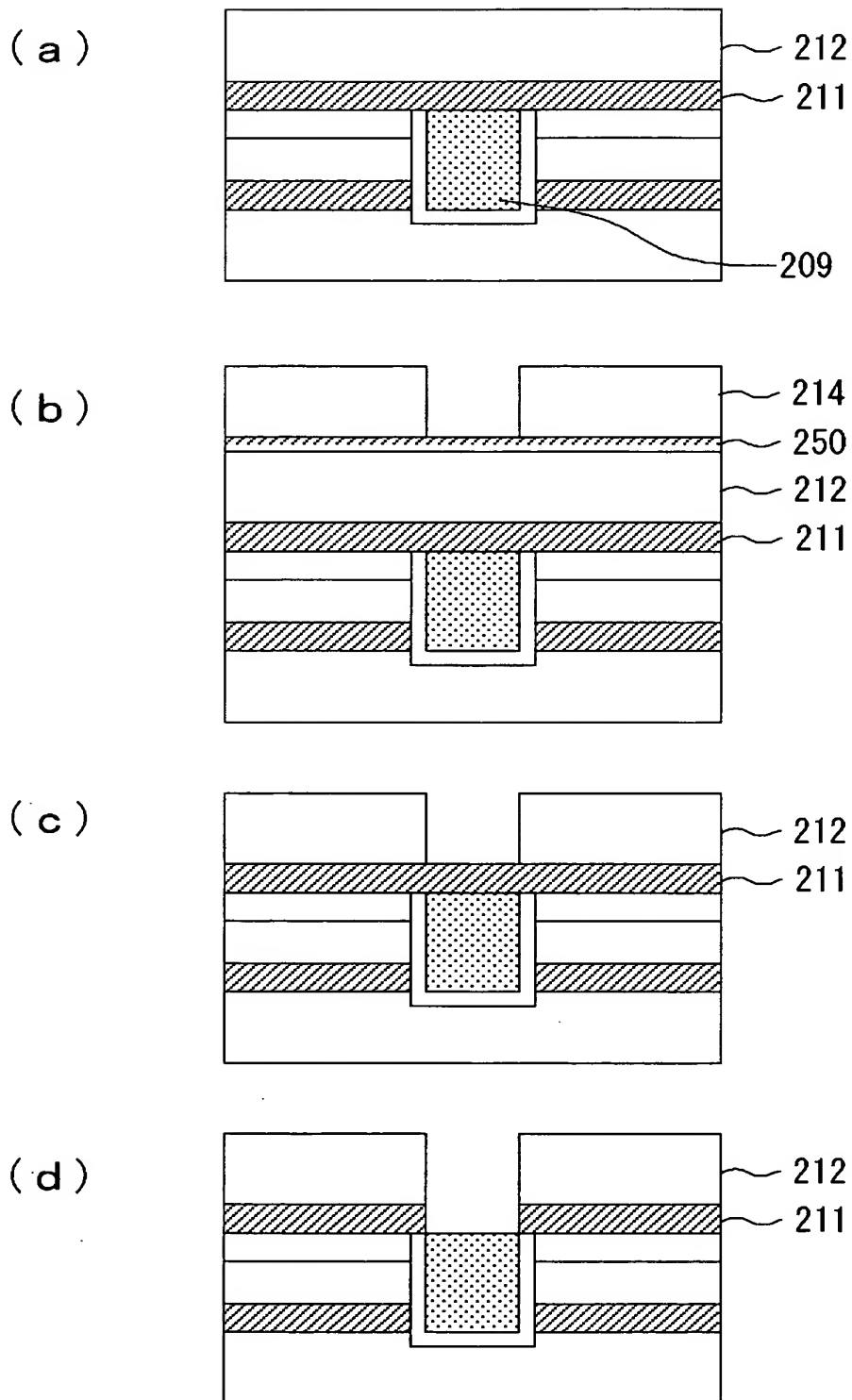
【図 9】



【図 1 0】

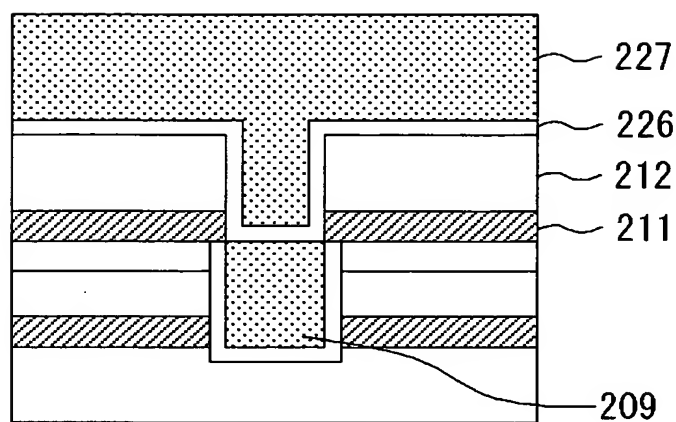


【図 11】

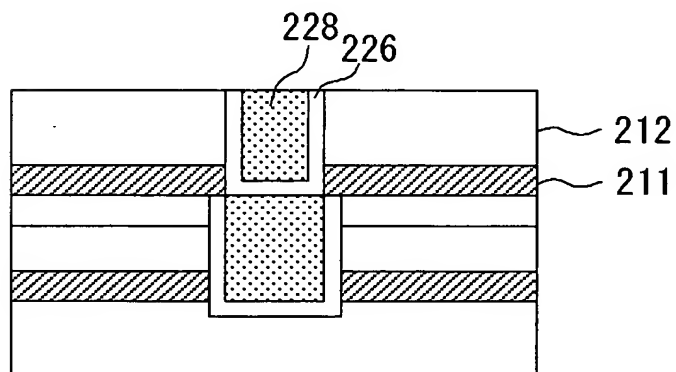


【図 12】

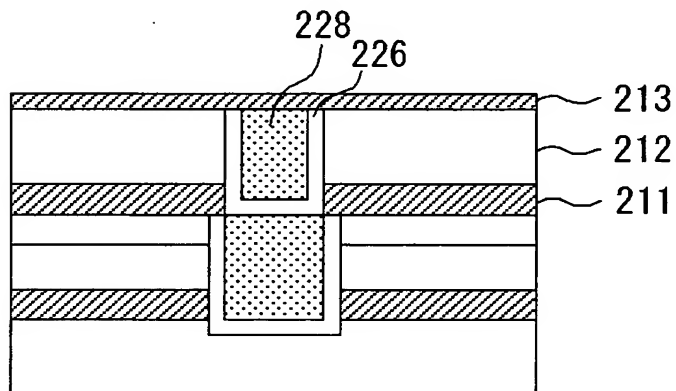
(e)



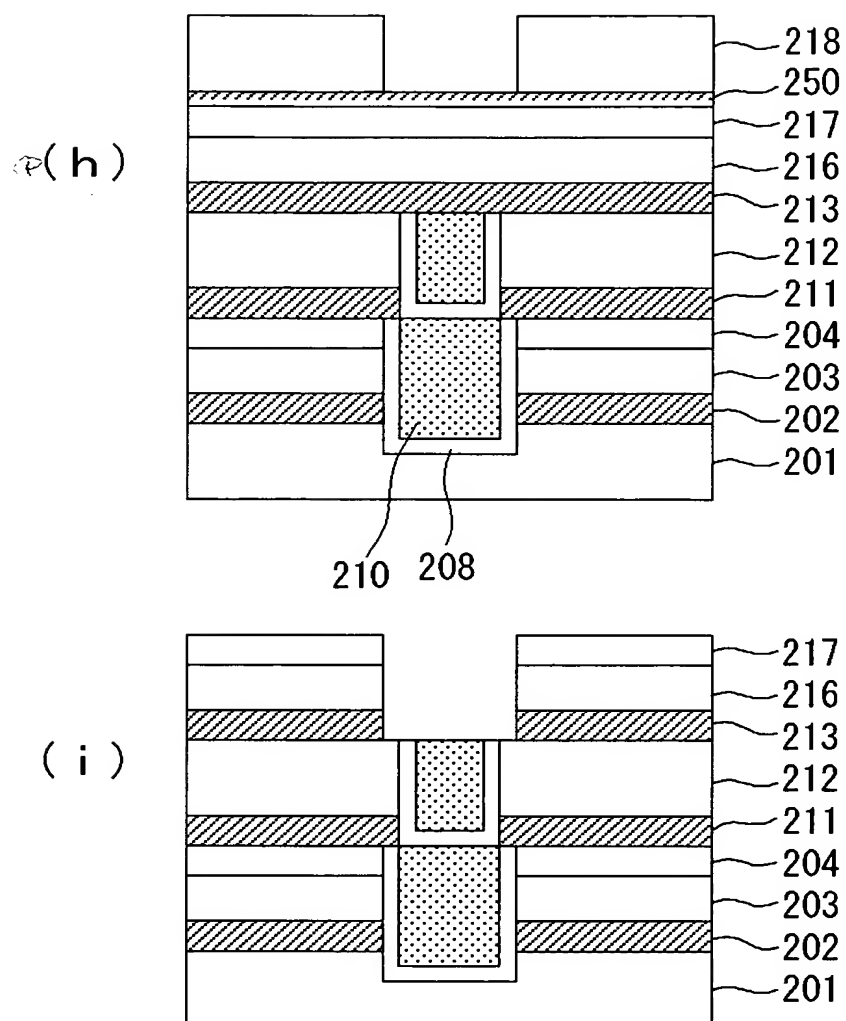
(f)



(g)

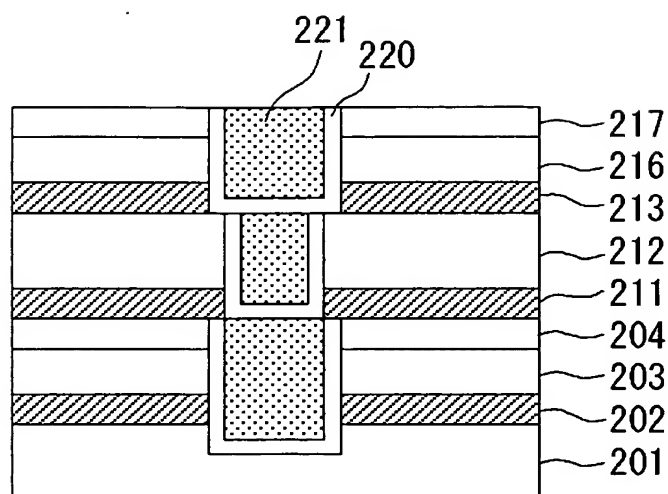


【図 1 3】

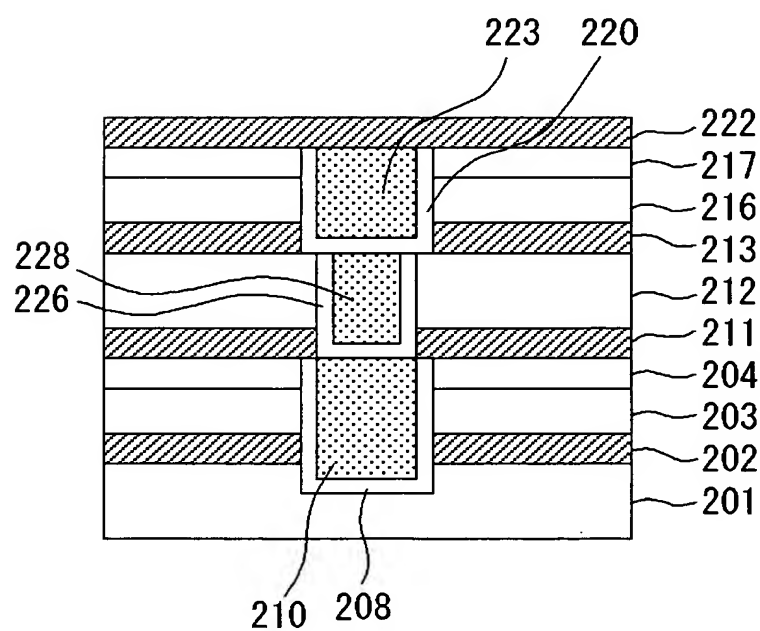


【図 14】

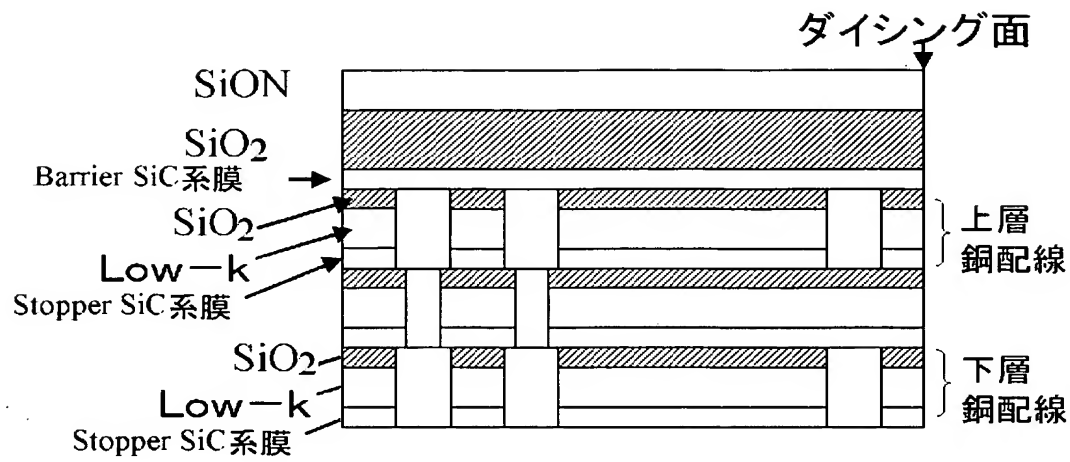
(j)



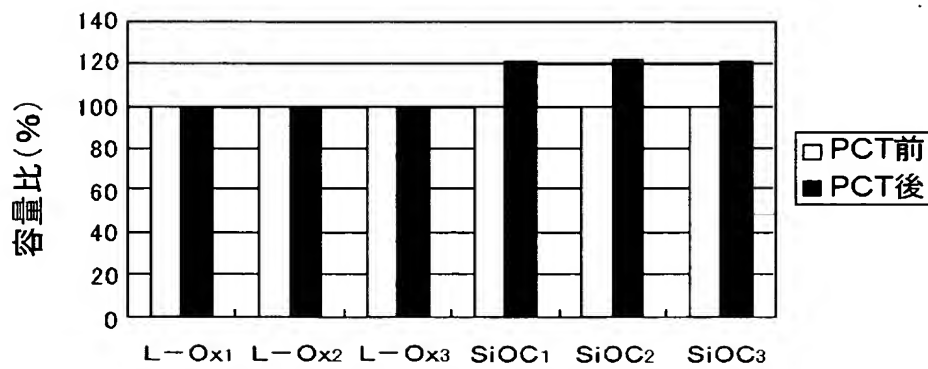
(k)



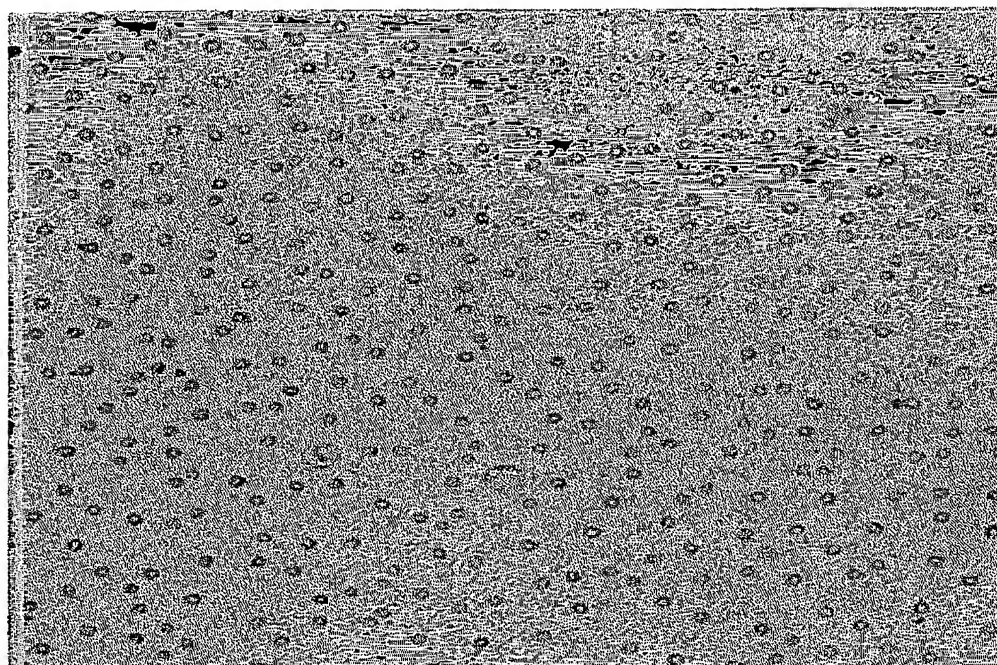
【図 1 5】



【図 1 6】



【図 17】



0.75mm

【図 18】

	上層膜			
	SiO ₂ ①	SiO ₂ ②	SiCN	SiCN (CMP)
SiOC	×	×	○	○
ポリフェニレン	×	データなし	○	○
L-Ox	○	データなし	○	○
ポーラスL-Ox	○	データなし	○	○
SiO ₂	データなし	データなし	○	○

	下層膜
	SiCN
SiOC	×
ポリフェニレン	×
L-Ox	○
ポーラスL-Ox	○
SiO ₂	○

【書類名】 要約書

【要約】

【課題】 吸湿による半導体素子の信頼性低下を抑えつつ層間絶縁膜の実効誘電率を低減することを目的とする。

【解決手段】 $L-O_x$ 膜 2 0 3 および SiO_2 膜 2 0 4 が積層した層間絶縁膜中に Cu 膜 2 0 9 からなる銅配線を形成する。 $L-O_x$ 膜 2 0 3 は梯子型水素化シロキサン構造を有するため膜厚や膜特性が安定であり、製造プロセス中に膜質が変化することが少ない。

【選択図】 図 9

特願 2 0 0 3 - 0 2 4 2 8 1

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1 . 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社